




Logic circuit.

Patent Number:  EP0524712, A3
Publication date: 1993-01-27
Inventor(s): NAKAO TOMOAKI (JP)
Applicant(s): SHARP KK (JP)
Requested Patent:  JP5028789
Application Number: EP19920301172 19920213
Priority Number(s): JP19910186585 19910725
IPC Classification: G11C19/28; H03K5/15; H03K19/00
EC Classification: H03K5/15D6S
Equivalents:  US5289518
Cited Documents: JP1286609; JP1114112; JP57199318; JP62195920

Abstract

A logic circuit for outputting signals corresponding to an input signal depending on a clock signal sent from an external, includes at least one synchronous flip-flop (31, 32, 33, 34) being synchronized with the clock signal, the flip-flop for latching the input signal, and a unit (51, 52, 53, 54, 61, 62, 63, 64) for controlling an input of the clock signal to the flip-flop based on a difference between

logic levels of an output signal of the flip-flop and an input signal newly latched by the flip-flop. 

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

特開平5-28789

(43) 公開日 平成5年(1993)2月5日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 19/28	B	2116-5L		
19/00	K	2116-5L		
H 0 3 K 3/02	B	7328-5J		

審査請求 未請求 請求項の数1(全 4 頁)

(21) 出願番号 特願平3-186585

(22) 出願日 平成3年(1991)7月25日

(71) 出願人 000005049

シヤープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 中尾 友昭

大阪府大阪市阿倍野区長池町22番22号 シ

ヤープ株式会社内

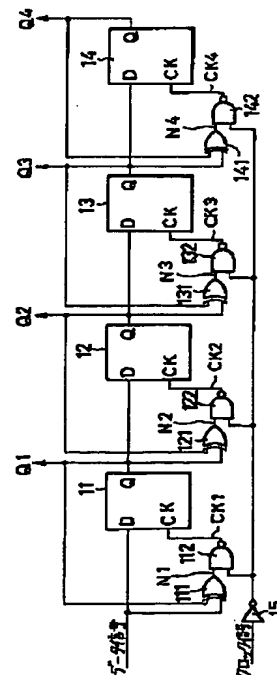
(74) 代理人 弁理士 川口 義雄 (外1名)

(54) 【発明の名称】 論理回路

(57) 【要約】

【目的】 クロック同期式のフリップフロップを含む論理回路の消費電流を低減する。

【構成】 フリップフロップ11の入力データ信号と出力信号の論理レベルが等しい場合には、排他的ORゲート111の出力信号N1はローレベルとなり、クロック信号はNANDゲート112でブロックされ、フリップフロップ11には供給されない。即ち、フリップフロップの出力信号の論理レベルが新たに入力されるデータ信号の論理レベルと同じである場合には、クロック信号はフリップフロップには供給されない。従って、フリップフロップの内部回路に無駄な充放電電流が流れることが防止される。また、各フリップフロップには夫々NANDゲート112、122、132、142を介してクロック信号が供給される。従って駆動能力の大きいインバータを用いてクロック信号を各フリップフロップに供給する必要がなく、信号反転時の貫通電流を低減することができる。



【特許請求の範囲】

【請求項1】 少なくとも1つのクロック同期式のフリップフロップと、外部から供給されるクロック信号の前記フリップフロップへの入力を前記フリップフロップの出力信号及び前記フリップフロップに新たにラッチされるべき入力信号の論理レベルに従って制御する手段とを備えたことを特徴とする論理回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、クロック同期式のフリップフロップを含む論理回路に関するものである。

【0002】

【従来の技術】 図3にクロック同期式のフリップフロップを含むCMOS（コンプリメンタリモス）構成の従来の論理回路の一例として4ビットシフトレジスタを示す。このシフトレジスタは4つのクロック同期式Dフリップフロップ31～34により構成されており、各フリップフロップにはインバータ35、36によりクロック信号が供給されている。図4のタイミングチャートに示すように、各フリップフロップがローレベルの信号Q1～Q4を出力している初期状態で、データ信号がハイレベルになると、まずフリップフロップ31がそれをクロック信号の立上りでラッチし、ハイレベルの出力信号Q1を出力する。フリップフロップ32はこのハイレベルの出力信号Q1をクロック信号の次の立上りでラッチし、ハイレベルの出力信号Q2を出力する。以下同様に、フリップフロップ33、34は順次、ハイレベルの出力信号Q3、Q4を出力する。また、逆にデータ信号がローレベルになると、各フリップフロップ31～34は順次、クロック信号に同期してローレベルの出力信号Q1～Q4を出力する。すなわち、フリップフロップ31に入力されたデータ信号はクロック信号の立上りに同期して順次右にシフトされ、フリップフロップQ1～Q4からパラレル信号として出力される。

【0003】

【発明が解決しようとする課題】 このような従来のシフトレジスタでは、各フリップフロップに入力されるデータ信号の論理レベルと出力信号の論理レベルとが等しく、従ってフリップフロップの状態を変化させる必要のない場合にもクロック信号が入力される。クロック信号が入力されると、フリップフロップの内部回路に充放電電流が流れ、電力が消費される。すなわち従来のこの種の論理回路では、フリップフロップにクロック信号を入力する必要がない場合でもクロック信号が入力され、無駄な電流が流れる。

【0004】 また、各フリップフロップ31～34にクロック信号を供給するインバータ36としては駆動能力の大きいCMOSトランジスタを用いる必要がある。しかし、駆動能力の大きいCMOSトランジスタは、信号の反転時に大きな貫通電流が流れるので、これも消費電

流を増大させる原因となっている。

【0005】 本発明は、このような問題に鑑みなされたものであり、クロック同期式のフリップフロップを有する論理回路において、その消費電流を低減することを目的とする。

【0006】

【課題を解決するための手段】 本発明の論理回路は、上記目的を達成するために、少なくとも1つのクロック同期式のフリップフロップと、外部から供給されるクロック信号の前記フリップフロップへの入力を前記フリップフロップの出力信号及び前記フリップフロップに新たにラッチされるべき入力信号の論理レベルに従って制御する手段とを備えたことを特徴とする。

【0007】

【作用】 本発明の論理回路では、外部から供給されるクロック信号のフリップフロップへの入力は、該フリップフロップの出力信号及び該フリップフロップに新たにラッチされるべき入力信号の論理レベルに従って制御される。好ましくは、これらの論理レベルが相等しい場合、即ちフリップフロップの状態を変化させる必要のない場合にフリップフロップへのクロック信号の入力が阻止される。このように構成することにより消費電流が低減される。

【0008】

【実施例】 次に本発明の実施例について図面を参照して詳細に説明する。図1に本発明の一実施例であるCMOS構成の4ビットのシフトレジスタを示す。このシフトレジスタは4つのフリップフロップ11～14、NANDゲート112、122、132、142、及び排他的ORゲート111、121、131、141によって構成されており、各フリップフロップには1つの排他的ORゲートと1つのNAND回路からなる組み合わせ回路が備えられる。

【0009】 排他的ORゲート111の2つの入力はフリップフロップ11のデータ信号入力端子と出力端子とに夫々接続され、また、その出力はNANDゲート112の一方の入力に接続されている。NANDゲート112の他方の入力はクロック信号の供給元であるインバータ15の出力に接続され、NANDゲート112の出力はフリップフロップ11のクロック信号入力端子に接続されている。

【0010】 他の組合せ回路も同様に構成されている。即ち、排他的ORゲート121、131、141の各一方の入力はフリップフロップ12、13、14のデータ信号入力端子に夫々接続され、各他方の入力はフリップフロップ12、13、14の出力端子に夫々接続され、また、その各出力はNANDゲート122、132、142の各一方の入力に夫々接続されている。NANDゲート122、132、142の各他方の入力は共にインバータ15の出力に接続され、NANDゲート122、

3

132, 142の出力はフリップフロップ12, 13, 14のクロック信号入力端子に夫々接続されている。

【0011】次に図2に示すタイミングチャートを参照して上記論理回路の動作を説明する。各フリップフロップの出力信号Q1~Q4は最初ローレベルであるものとする。図2に示すようにハイレベルのデータ信号がフリップフロップ11に入力されると、この場合、排他的ORゲート111の2つの入力信号の論理レベルは互いに異なるので、排他的ORゲート111はハイレベルの出力信号N1をNANDゲート112に出力する。従って、インバータ15により反転されたクロック信号はNANDゲート112によりさらに反転されてクロック信号CK1としてフリップフロップ11に入力される。その結果、フリップフロップ11はクロック信号の最初の立上りのタイミングT1に同期してハイレベルのデータ信号をラッチし、ハイレベルの出力信号Q1を出力する。

【0012】クロック信号の次のタイミングT2でもフリップフロップ11には引き続きハイレベルのデータ信号が入力されているが、この場合には出力信号Q1がハイレベルであるため、排他的ORゲート111の出力信号N1はローレベルとなっている。従って、クロック信号はNANDゲート112でブロックされ、フリップフロップ11には供給されない。すなわち、出力信号Q1が新たに入力されるデータ信号と同じ論理レベルである場合には、クロック信号はNANDゲート112でブロックされ、フリップフロップ11には供給されない。従って、フリップフロップの内部回路に無駄な充放電電流が流れることが防止される。

【0013】フリップフロップ12~14についても動作は同じである。即ち、各フリップフロップ12~14はクロック信号の立上がりに同期してそのデータ信号入力端子に供給されるデータ信号を取り込み、その論理レベルと同じ論理レベルの出力信号Q2~Q4を出力するが、新たに入力されるデータ信号の論理レベルが出力信号の論理レベルに等しい場合には、排他的ORゲート121, 131, 141はローレベルの出力信号N2, N3, N4を夫々出力し、従ってクロック信号はNAND

4

ゲート122, 132, 142によってブロックされる。これにより、各フリップフロップの内部回路に無駄な充放電電流が流れることが防止される。

【0014】また、上記実施例のシフトレジスタでは、各フリップフロップ11~14には夫々NANDゲート112, 122, 132, 142からクロック信号CK1~CK4が供給される。従って、従来のシフトレジスタのように、多数のフリップフロップにクロック信号を供給するインバータを設ける必要がない。従って、クロック信号の反転時、インバータを構成するCMOSトランジスタに流れる貫通電流が低減される。

【0015】

【発明の効果】本発明の論理回路は、外部から供給されるクロック信号のフリップフロップへの入力を該フリップフロップの出力信号及び該フリップフロップに新たにラッチされるべき入力信号の論理レベルに従って制御する手段を有しているため、フリップフロップの状態を変化させる必要のない場合、フリップフロップへのクロック信号の入力をブロックすることにより、フリップフロップの内部回路に無駄な充放電電流が流れることを防止して消費電流を低減することができる。また、各フリップフロップには上記手段からクロック信号が供給されるので、駆動能力の高いインバータが不要となり、信号反転時にインバータに流れる貫通電流が低減される。

【図面の簡単な説明】

【図1】本発明の一実施例であるシフトレジスタの回路図である。

【図2】図1のシフトレジスタの動作を説明するためのタイミングチャートである。

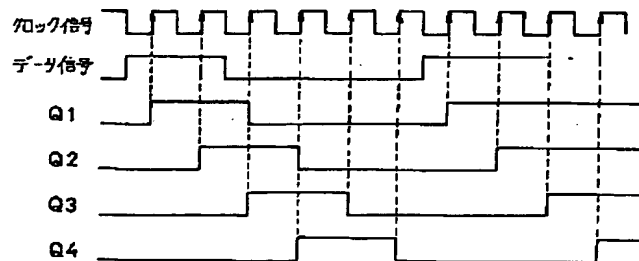
【図3】従来のシフトレジスタの回路図である。

【図4】図3のシフトレジスタの動作を説明するためのタイミングチャートである。

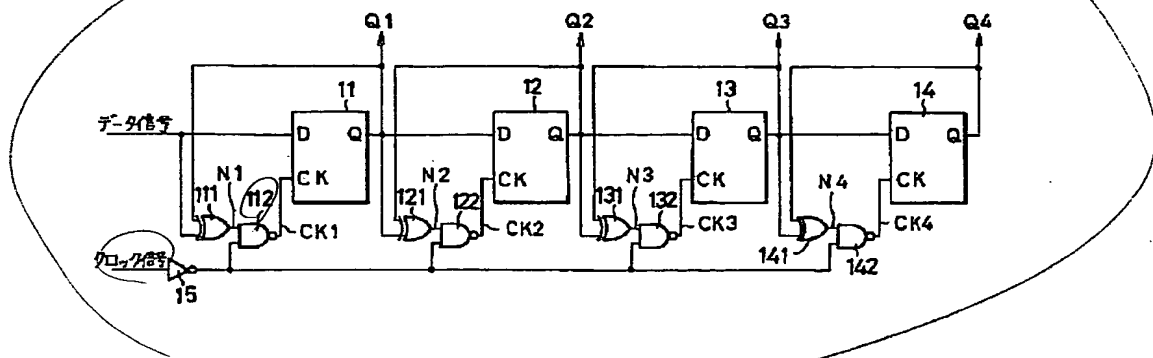
【符号の説明】

11~14, 31~34 フリップフロップ
111, 121, 131, 141 排他的ORゲート
112, 122, 132, 142 NANDゲート
15, 35, 36 インバータ

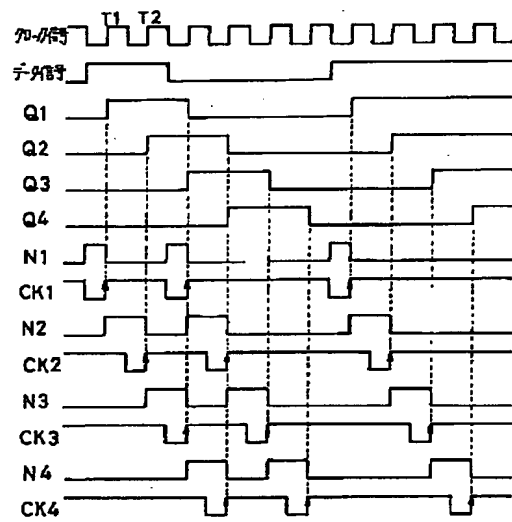
【図4】



【図1】



【図2】



【図3】

